

PROPOSITION DE STAGE EN COURS D'ETUDES

Référence : **DTIS-2025-21**
(à rappeler dans toute correspondance)

Lieu : Toulouse

Département/Dir./Serv. : DTIS/AEI

Tél. : 05 62 25 29 12

Responsable(s) du stage : Guillaume GOURVES

Email : guillaume.gourves@onera.fr

DESCRIPTION DU STAGE

Thématique(s) : Robotique Autonomie

Type de stage : Fin d'études bac+5 Master 2 Bac+2 à bac+4 Autres

Intitulé : Intégration et évaluation de soft-core RISCv sur FPGA pour applications spatiales

Sujet : L'ONERA développe un ensemble de charges utiles scientifiques embarquables sur divers vecteurs tels que les satellites et les drones. L'une des contraintes rencontrées lors de cette intégration réside sur la capacité de l'unité de traitement de l'information, embarquée dans cette charge utile, à effectuer un nombre d'instructions dans un délai strict permettant d'assurer un fonctionnement en temps réel. Cette fonction étant souvent assurée par un processeur simple/multiple cœurs, ce dernier est soumis à des considérations géopolitiques pouvant restreindre leur accès à des modèles dégradés ou interdire leur procurement. Cependant des initiatives sur le territoire national ainsi que dans le monde de l'OPEN-SOURCE permettent de développer des solutions résilientes.

Le projet RISC-V a été initié en 2010 par deux universitaires K. ASANOVIC et D. A. PATTERSON. Initialement destiné à la recherche et pour l'enseignement, ce jeu d'instructions s'étend maintenant dans le domaine industriel tout en restant en source libre. Des entreprises européennes proposent des FPGA souverains dont certains avec d'excellentes performances en tolérances de radiation rendant leur utilisation possible dans le domaine du spatial.

L'objectif de ce stage est, à partir d'un premier état de l'art établi ainsi que de travaux existant, d'évaluer quelques cœurs logiciels, basés ISA RISCv, en simulation puis implémenté sur un FPGA souverain. Le stagiaire aura, notamment l'occasion de pouvoir adapter ces cœurs évalués dans le cadre du développement d'une charge utile au sein de l'office.

Le candidat doit avoir un profil de personne très rigoureuse, curieuse des dernières technologies, synthétique et motivée pour travailler en équipe.

Est-il possible d'envisager un travail en binôme ? Non

Méthodes à mettre en oeuvre :

- | | |
|---|---|
| <input type="checkbox"/> Recherche théorique | <input type="checkbox"/> Travail de synthèse |
| <input checked="" type="checkbox"/> Recherche appliquée | <input type="checkbox"/> Travail de documentation |
| <input checked="" type="checkbox"/> Recherche expérimentale | <input checked="" type="checkbox"/> Participation à une réalisation |

Possibilité de prolongation en thèse : Non

Durée du stage : Minimum : 5 mois Maximum : 6 mois

Période souhaitée : 5 mois

PROFIL DU STAGIAIRE

Connaissances et niveau requis :
VHDL/Verilog, Microcontrôleur, C/C++, Qt.
Des connaissances ou une première
expérience sur l'utilisation de cœur RISC-V
seraient un plus.

Ecoles ou établissements souhaités :
Indifférent