

PROPOSITION DE STAGE EN COURS D'ETUDES

Référence : DTIS-2025-30
(à rappeler dans toute correspondance)

Lieu : Toulouse

Département/Dir./Serv. : DTIS/SEAS

Tél. : 05 62 25 26 73

Responsable(s) du stage : David Doose, Youcef
Bouchebaba, Alfonso Mascarenas

Email. :
David.Doose@onera.fr,
Youcef.Bouchebaba@onera.fr,
Alfonso.Mascarenas@onera.fr

DESCRIPTION DU STAGE

Thématique(s) : Ingénierie des Systèmes et des Logiciels

Type de stage : Fin d'études bac+5 Master 2 Bac+2 à bac+4 Autres

Intitulé : Analyse probabiliste du temps d'exécution sur cartes multi/many cœurs hétérogènes pour des allocation des tâches optimales

Ces dernières années les systèmes embarqués ont subi une évolution très rapide. En effet, avec l'apparition de l'IA et des algorithmes toujours plus complexes, les contraintes en termes de puissance de calcul n'ont cessé de grandir. La solution matérielle qui se dessine est celle de cartes multi/many cœurs hétérogènes. Ces cartes embarquées peuvent contenir divers processeurs avec des caractéristiques et des puissances de calcul différentes (CPU ARM/RISC-V, GPU, etc.) mais aussi différentes mémoires. De plus, les systèmes embarqués ont souvent en charge l'exécution de tâches temps réel, dont le respect des échéances est indispensable au bon fonctionnement du système. Une des points durs est donc de trouver les allocations des tâches sur les processeurs et la mémoire, ainsi que la configuration du système permettant le respect des contraintes temporelles des tâches temps réel.

Nous avons développé une méthode outillée permettant de calculer une allocation optimale des tâches sur des systèmes embarqués multi/many cœurs hétérogènes [1]. Celle-ci repose sur la connaissance des pires temps d'exécution de chacune des tâches. Nous voulons à présent baser nos calculs d'allocation sur des distributions probabilistes des temps de calcul des différentes tâches [2][3].

L'objectif de ce stage est donc d'expliquer le comportement de ces cartes (par exemple, Zynq UltraScale+ [4]) sous différentes allocations de tâches (et leur mémoire) et étudier les mécanismes pour les rendre déterministes. Afin d'obtenir de manière automatique les différentes distributions de temps d'exécution des tâches temps réel, il faudra mettre en place un système automatisé de benchmarking de nos cartes embarquées. Ensuite, l'analyse probabiliste de la distribution des temps d'exécution sera réalisée afin d'obtenir une borne supérieure.

[1] David Doose, Youcef Bouchebaba, Alfonso Mascarenas. Optimal Real-Time Task Allocation in Heterogeneous Multi-Core Embedded Systems, RTCSA 2024.

[2] José Luis Díaz, José María López. Probabilistic analysis of the response time in a real-time system. 2001.

[3] Alfonso Mascareñas González, Youcef Bouchebaba, Luca Santinelli. Multicore shared memory interference analysis through hardware performance counters. ERTS 2020, Jan 2020, Toulouse, France.

[4] AMD, Zynq UltraScale+ Device. Technical Reference Manual, 2023.

Est-il possible d'envisager un travail en binôme ? Non

Méthodes à mettre en oeuvre :

Recherche théorique

Travail de synthèse

Recherche appliquée

Travail de documentation

Recherche expérimentale

Participation à une réalisation

Possibilité de prolongation en thèse : Oui

Durée du stage : Minimum : 4

Maximum : 6

Période souhaitée : 6 mois

PROFIL DU STAGIAIRE

Connaissances et niveau requis :

C (courant), informatique (connaissances),
statistiques (notion)

Ecoles ou établissements souhaités :

Écoles d'ingénieurs/universités