

## PROPOSITION DE STAGE EN COURS D'ETUDES

Référence : **DPHY-2025-30**

(à rappeler dans toute correspondance)

Lieu : Toulouse

Département/Dir./Serv. : DPHY/ECM

Tél. : 05 62 25 25 82

Responsable(s) du stage : Alejandro URENA-  
ACUNA

Email. : [alejandro.urena-acuna@onera.fr](mailto:alejandro.urena-acuna@onera.fr)

### DESCRIPTION DU STAGE

Thématique(s) : Effets de l'Environnement sur les Systèmes Embarqués (EESA)

Type de stage :  Fin d'études bac+5  Master 2  Bac+2 à bac+4  Autres

**Intitulé** : Optimisation de la robustification des circuits sous contraintes radiatives par placement routage des cellules élémentaires

Sujet :

Les systèmes intégrés tels que les FPGAs et microprocesseurs sont de plus en plus complexes. Les nœuds technologiques évoluent ainsi que leur exigence en performance. Pour intégrer ces systèmes dans une plateforme (avion, satellite, etc.) il est important de caractériser leur réponse sous un environnement contraint tel que les radiations afin de garantir leur fiabilité pendant une mission opérationnelle.

En effet, les particules cosmiques présentes dans un environnement radiatif naturel peuvent entrer en collision avec des dispositifs semi-conducteurs constituant un circuit complexe. Ceci peut induire des anomalies électriques dans un circuit électronique tels que des courants parasites transitoires (Single Event Transient) ou des basculements dans les bits de mémoire (Single Event Upset). Ces phénomènes dégradent la fiabilité d'un système ou dans le cas le plus extrême sa destruction selon leur localisation dans le composant.

Des techniques d'optimisation de design sont souvent employées pour renforcer la fiabilité des circuits sous contraintes radiatives. Des études réalisées précédentes ont démontré qu'une amélioration dans la réponse aux radiations peut être obtenue en plaçant les transistors ou cellules élémentaires d'une manière stratégique au niveau topologique (Layout). Cependant, une telle méthodologie implique l'étude d'un grand nombre de possibilités de placements.

Au sein de l'unité ECM à l'ONERA, nous avons développé une expertise dans l'étude et diagnostic de la réponse face aux radiations ionisantes des circuits numériques en se basant sur des plateformes de simulation multiphysique appelés MUSCA SEP3 et TERRIFIC. Cependant, la valeur ajoutée du candidat sera de proposer différentes topologies et d'identifier celles qui présentent une meilleure réponse aux rayonnements.

En effet, l'objectif de ce stage est de proposer des solutions à partir du placement routage des cellules élémentaires pour une fonction numérique élémentaire telle qu'une Look-Up Table (LUT4). Ce circuit est utilisé dans la logique de configuration des Field Programmable Gate Array (FPGA) dont la tenue aux radiations est critique dans la fiabilité du système complet. Suite aux premiers résultats des designs optimisés, une base de données pourra être constituée pour établir des règles de design qui permettront d'améliorer la réponse à la radiation d'une topologie donnée.

Les étapes du projet de stage seront les suivantes :

1. Saisie/proposition d'une topologie d'un bloc multiplexeur (MUX)
2. Prise en main du flow de simulation multiphysique MUSCA SEP3 et TERRIFIC
3. Placement routage optimisé du bloc MUX
4. Validation du placement routage optimisé et détermination des premières règles de design
5. Étude et validation d'une LUT4

Ce stage se déroulera dans les locaux de locaux de l'ONERA à Toulouse.

Est-il possible d'envisager un travail en binôme ? Oui

**Méthodes à mettre en œuvre :**

- |   |  |
|---|--|
| <input type="checkbox"/> Recherche théorique            | <input type="checkbox"/> Travail de synthèse                 |
| <input checked="" type="checkbox"/> Recherche appliquée | <input checked="" type="checkbox"/> Travail de documentation |
| <input type="checkbox"/> Recherche expérimentale        | <input type="checkbox"/> Participation à une réalisation     |

Possibilité de prolongation en thèse : Oui

**Durée du stage :** Minimum : 4 mois Maximum : 5 mois

Période souhaitée : Février 2025 – Juillet 2025

**PROFIL DU STAGIAIRE**

Connaissances et niveau requis :

Une solide formation en physique des semi conducteurs et design des circuits intégrés au niveau topologique est nécessaire.

Solide formation à l'outil Cadence Virtuoso.

Python souhaité.

Écoles ou établissements souhaités :

École d'ingénieur et Master 2 spécialisé en électronique et systèmes embarqués.