

PROPOSITION DE STAGE EN COURS D'ETUDES

Référence : **DPHY-2022-07-DF**
(à rappeler dans toute correspondance)

Lieu : Toulouse

Département/Dir./Serv. : Département Physique,
Instrumentation, Environnement, Espace (DPHY)

Tél. : 05 62 25 29 12

Responsable(s) du stage : G. GOURVES /
D. FALGUERE

Email. : Guillaume.Gourves@onera.fr,
Didier.Falguere@onera.fr

DESCRIPTION DU STAGE

Thématique(s) : Modèles et Mesures de l'Environnement Spatial

Type de stage : Fin d'études bac+5 Master 2 Bac+2 à bac+4 Autres

Intitulé : Participation à l'élaboration d'un cœur numérique destiné à une charge utile pour nano-satellite.

Sujet : Le projet CREME (**C**ubesat for **R**adiation **E**nvironnement **M**onitoring **E**xperiment) vise à fournir un premier nano-satellite, développé conjointement par l'ONERA et l'ISAE, permettant de caractériser l'environnement radiatif (énergie des électrons > 100 keV et protons > 10 MeV).

La charge utile, le moniteur de radiation, est développée par l'ONERA, et le nano-satellite type Cubesat 3U par l'ISAE. L'instrument et la plateforme communiqueront via un bus CAN. Le calculateur plateforme est un OBC Ninano basé sur un SoC Zynq7030 de Xilinx alors que la charge utile utilisera un FPGA NanoXplore. C'est sur ce dernier composant que le stage s'articulera.

Dans la première partie, il faudra analyser l'ensemble des travaux effectués par divers précédents stages et travaux étudiants et s'assurer à la fois de la bonne intégration sur le FPGA ainsi que le fonctionnement de l'ensemble du système réalisé.

Dans un deuxième temps, le stagiaire devra effectuer un état de l'art sur les processeurs synthétisés en verilog/vhdl afin de pouvoir l'intégrer sur le FPGA. Une étude d'intégration sera à faire ainsi qu'une campagne de test permettant de caractériser et de comparer les différents processeurs synthétisés dans le domaine de l'Open-Source.

Enfin, dans le cas où un processeur synthétisable libre serait compatible avec le FPGA de la charge utile, le stagiaire implémentera des tâches, initialement synthétisées en vhdl, sur ce processeur.

Ce stage demandera le développement de cartes prototypes, la simulation et la programmation de C++/C/VHDL (environnements Vivado de Xilinx et/ou NXmap de NanoXplore) ainsi qu'une partie instrumentale.

Est-il possible d'envisager un travail en binôme ? **Non**

Méthodes à mettre en oeuvre :

- | | |
|---|---|
| <input type="checkbox"/> Recherche théorique | <input type="checkbox"/> Travail de synthèse |
| <input checked="" type="checkbox"/> Recherche appliquée | <input checked="" type="checkbox"/> Travail de documentation |
| <input type="checkbox"/> Recherche expérimentale | <input checked="" type="checkbox"/> Participation à une réalisation |

Possibilité de prolongation en thèse : **Non**

Durée du stage : Minimum : 5 mois Maximum : 6 mois

Période souhaitée : avril-septembre 2022

PROFIL DU STAGIAIRE

Connaissances et niveau requis :
VHDL, bus CAN, Python.

Ecoles ou établissements souhaités :
Ecole Electronique